

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-306825

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl.

G 0 6 F 13/28

識別記号

3 1 0 C 7368-5B

庁内整理番号

P I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平6-97373

(22) 出願日 平成6年(1994)5月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 菊地 貴千代

東京都府中市東芝町1番地 株式会社東芝
府中工場内

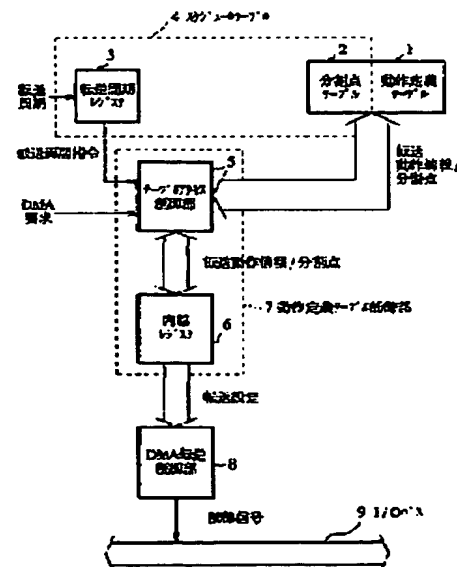
(74) 代理人 弁理士 鈴江 武彦

(54) 発明の名称 DMAコントローラ

(57) 要約

【目的】 本発明は、一度の設定により、DMA転送の實現及び転送条件に対して分割転送周期内でのデータの連続転送を實現し、転送効率の向上を図る。

【構成】 転送動作情報が設定される動作定義テーブル(1)及び分割転送周期と転送可否データとが設定されるスケジュール管理手段(2, 3, 4)を設け、スケジュール管理手段が分割転送周期毎に転送再開指令を送出し、動作記憶手段(5, 6)には、DMA要求又は転送再開指令を受けると、動作定義テーブルの内容及び転送可否データに基づいて、ある対象データの転送動作情報が記憶され、転送動作設定手段(7)がこの転送動作情報を設定し、DMA転送制御手段(8)が設定される転送動作情報に従ってバスを制御し、動作更新手段(9)が、バスの制御中、動作定義テーブルの内容及び転送可否データに基づいて、他の対象データの転送動作情報を動作記憶手段に更新して記憶させるDMAコントローラ。



(2)

特開平7-306825

1

【特許請求の範囲】

【請求項1】 共通のバスに接続され、CPUから受けるDMA要求に対応してI/O装置とメモリ間又は複数のメモリ間のDMA転送を制御するDMAコントローラにおいて、

前記DMA転送される複数の対象データのうちの対象データ毎に転送元アドレス、転送先アドレス及び読出動作あるいは書込動作の別が転送動作情報として設定される動作定義テーブルと、

前記DMA転送を分割して実行するための分割転送周期が設定され、且つこの分割転送周期の範囲で対象データを連続転送するための転送可否データが前記対象データ毎に設定され、前記分割転送周期毎に転送再開指令を送出するスケジュール管理手段と、

前記CPUからDMA要求を受けたとき又は前記スケジュール管理手段から転送再開指令を受けたとき、前記動作定義テーブルに設定された設定内容及び前記スケジュール管理手段に設定された転送可否データに基づいて、前記各対象データのうちのいずれかの対象データの前記転送動作情報が記憶される動作記憶手段と、

前記動作記憶手段に記憶された転送動作情報を設定する転送動作設定手段と、

この転送動作設定手段により転送動作情報が設定されると、当該転送動作情報に従って、前記バスを制御するDMA転送制御手段と、

このDMA転送制御手段によるバスの制御中、前記動作定義テーブルに設定された設定内容及び前記スケジュール管理手段に設定された転送可否データに基づいて、当該転送可否データが他の対象データの転送可を示すとき、当該他の対象データの転送動作情報を前記動作記憶手段に更新して記憶させる動作更新手段とを備えたことを特徴とするDMAコントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、メモリ間のDMA転送を制御するDMAコントローラに係わり、特に転送可否データを対象データ毎に設け、分割転送周期の範囲で所望の各対象データを連続転送可能とすることにより、転送効率を向上し得るDMAコントローラに関する。

【0002】

【従来の技術】 一般に、I/O装置とメモリ間又は複数のメモリ間のデータ転送には、CPUを介さず、高速にデータを転送するDMAコントローラが広く用いられている。この種のDMAコントローラとしては、例えば各DMAチャンネル毎にデータ長が設定され、データを読出しする転送元アドレス及びデータを書込みする転送先アドレスが指定され、自動アドレス更新機能により、連続転送処理を実行するものがある。

【0003】 また、転送元アドレス及び転送先アドレスが記憶されたメモリのアドレスをアドレスポインタによ

2

ってメモリ上で連結させ、連続的に転送処理を実行するものがある。

【0004】

【発明が解決しようとする課題】 しかしながら以上のようなDMAコントローラでは、アドレスのみを変更しているため、1つのDMAチャンネルにおける一度のDMA転送が読出又は書込のいずれか一方となるので、読出及び書込を別々の設定によるDMA転送で実行する問題がある。

【0005】 また、DMAチャンネル毎にデータ長が設定されるため、データ長毎に別々の設定によるDMA転送を実行する問題がある。さらに、DMA転送毎ではなく、データ長などの転送条件毎に何回かに分割してDMA転送する場合、一度のDMA設定では転送できないという問題がある。

【0006】 本発明は上記実情を考慮してなされたもので、一度の設定により、DMA転送動作の実現及び転送条件に対応して分割転送周期の範囲での各対象データの連続転送を実現でき、転送効率を向上し得るDMAコントローラを提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、共通のバスに接続され、CPUから受けるDMA要求に対応してI/O装置とメモリ間又は複数のメモリ間のDMA転送を制御するDMAコントローラにおいて、前記DMA転送される複数の対象データのうちの対象データ毎に転送元アドレス、転送先アドレス及び読出動作あるいは書込動作の別が転送動作情報として設定される動作定義テーブルと、前記DMA転送を分割して実行するための分割転送周期が設定され、且つこの分割転送周期の範囲で対象データを連続転送するための転送可否データが前記対象データ毎に設定され、前記分割転送周期毎に転送再開指令を送出するスケジュール設定手段と、前記CPUからDMA要求を受けたとき又は前記スケジュール記憶手段から転送再開指令を受けたとき、前記動作定義テーブルに設定された設定内容及び前記スケジュール設定手段に設定された転送可否データに基づいて、前記各対象データのうちのいずれかの対象データの前記転送動作情報が記憶される動作記憶手段と、前記動作記憶手段に記憶された転送動作情報を設定する転送動作設定手段と、この転送動作設定手段により転送動作情報が設定されると、当該転送動作情報に従って、前記バスを制御するDMA転送制御手段と、このDMA転送制御手段によるバスの制御中、前記動作定義テーブルに設定された設定内容及び前記スケジュール設定手段に設定された転送可否データに基づいて、当該転送可否データが他の対象データの転送可を示すとき、当該他の対象データの転送動作情報を前記動作記憶手段に更新して記憶させる動作更新手段とを備えたDMAコントローラである。

【0008】

(3)

特開平7-306825

3

【作用】従って、本発明は以上のような手段を講じたことにより、DMA転送される複数の対象データのうちの対象データ毎に転送元アドレス、転送先アドレス及び読出動作あるいは書込動作の別が転送動作情報として設定される動作定義テーブル及びDMA転送を分割して実行するための分割転送周期が設定され、且つこの分割転送周期の範囲で対象データを連続転送するための転送可否データが対象データ毎に設定されるスケジュール管理手段を設け、スケジュール管理手段が分割転送周期毎に転送再開指令を送出し、動作記憶手段には、CPUからDMA要求を受けたとき又はスケジュール管理手段から転送再開指令を受けたとき、動作定義テーブルに設定された設定内容及びスケジュール管理手段に設定された転送可否データに基づいて、各対象データのうちのいずれかの対象データの転送動作情報が記憶され、転送動作設定手段が動作記憶手段に記憶された転送動作情報を設定し、DMA転送制御手段が、この転送動作設定手段により転送動作情報が設定されると、当該転送動作情報に従ってバスを制御し、動作更新手段が、このDMA転送制御手段によるバスの制御中、動作定義テーブルに設定された設定内容及びスケジュール管理手段に設定された転送可否データに基づいて、当該転送可否データが他の対象データの転送可否を示すとき、当該他の対象データの転送動作情報を動作記憶手段に更新して記憶させるので、一度の設定により、DMA転送動作の実現及び転送条件に対応して分割転送周期の範囲での各対象データの連続転送を実現でき、転送効率を向上させることができる。

【0009】

【実施例】以下、本発明の実施例について図面を参照して説明する。図1及び図2は本発明の一実施例に係るDMAコントローラの構成を示すブロック図である。このDMAコントローラは、動作定義テーブル1と、分割点テーブル2及び転送周期レジスタ3を有するスケジュールテーブル（スケジュール管理手段）4と、テーブルアクセス制御部（動作更新手段）5及び内部レジスタ6を有する動作定義テーブル制御部（転送動作設定手段）7と、DMA転送制御部8とを備えている。

【0010】ここで、動作定義テーブル1は、例えば図3に示す転送動作を定義するため、図4（a）に示すように構成されており、DMA転送される複数の対象データのうちの対象データ毎に転送元アドレス、転送先アドレス並びに読出動作又は書込動作の別が転送動作情報として設定されるものである。

【0011】分割点テーブル2は、図4（b）に示すように、DMA転送の分割転送周期の範囲で対象データを連続転送するための分割点フラグ（転送可否データ）が対象データ毎に設定されるものである。なお、この分割点フラグは“1”のときに転送可否を示し、“0”のときに転送不可を示している。

【0012】転送周期レジスタ3は、DMA転送を分割

4

して実行するための分割転送周期が設定されるものである。スケジュールテーブル4は、分割転送周期毎に転送周期レジスタ3から転送再開指令をテーブルアクセス制御部に送出する機能をもっている。

【0013】テーブルアクセス制御部5は、CPUからDMA要求を受けたとき又はスケジュールテーブルから転送再開指令を受けたとき、動作定義テーブル1に設定された設定内容及びスケジュールテーブル4内の分割点テーブル2に設定された分割点フラグに基づいて、各対象データのうちのいずれかの対象データの転送動作情報を内部レジスタ6に記憶させる機能をもっている。なお、テーブルアクセス制御部5及び内部レジスタ6は動作記憶手段を構成している。

【0014】動作定義テーブル制御部7は、内部レジスタ6に記憶された転送動作情報をDMA転送制御部8に設定する機能をもっている。DMA転送制御部8は、動作定義テーブル制御部7により転送動作情報が設定されると、当該転送動作情報に従って、共通のI/Oバス9を制御するものである。

【0015】また、テーブルアクセス制御部5は、DMA転送制御部8によるバスの制御中、動作定義テーブル1に設定された設定内容及びスケジュールテーブル4内の分割点テーブル2に設定された分割点フラグに基づいて、当該分割点フラグが他の対象データの転送可否を示すとき、当該他の対象データの転送動作情報を内部レジスタ6に更新して記憶させる機能をもっている。

【0016】次に、このようなDMAコントローラの動作を図5のタイムチャートを用いて説明する。いま、チャネルの初期化時に、CPUは、例えば図4（a）に示すように、DMA転送を行う転送元/転送先アドレス、リード/ライトの別及びデータ長からなる転送動作情報を動作定義テーブル1に書込むと共に、図4（b）に示すように、各転送動作情報に対応して分割点フラグを分割点テーブル2に書込む。また、CPUは、分割転送周期を例えば1msとして転送周期レジスタ3に書込む。

【0017】初期化終了後、CPUはDMA要求をテーブルアクセス制御部5に与える。テーブルアクセス制御部5は、このDMA要求を受けると、テーブルアドレスのカウントアップを開始し、このカウントにより示されるテーブルアドレスの転送動作情報を動作定義テーブル1から読出すと共に、この転送動作情報に対応する分割点フラグを分割点テーブル2から読出す。

【0018】しかる後、テーブルアクセス制御部5は、読出した転送動作情報及び分割点フラグを内部レジスタ6に書込み、動作定義テーブル制御部7は内部レジスタ6に書込まれた転送動作情報及び分割点フラグに従ってDMA転送制御部8にI/Oバス9の制御動作を設定する。

【0019】DMA転送制御部8は、この設定に従ってI/Oバス9に転送元/転送先アドレス及び読出し/書

(4)

特開平7-306825

5

込み指令を出力することにより、DMA転送を制御する（時刻11）。

【0020】一方、テーブルアクセス制御部5は、この転送制御中に動作定義テーブル1から次回の転送動作情報を読み出して内部レジスタ6に格込む。動作定義テーブル制御部7は、DMA転送制御部が今回のDMA転送制御動作を完了すると（時刻12）、内部レジスタ6に格込んである次回の転送動作情報に従って前述同様に1/Oバス9の制御動作を設定し、DMA転送制御部8はこの設定に従って1/Oバス9を制御する。

【0021】以下、これら一連の内部レジスタ6への書き込み動作から1/Oバス9の制御動作までを繰り返し、分割点フラグが“1”を示す分割点まで、転送動作情報をDMA転送する。分割点に達すると、テーブルアクセス制御部5はスケジュールテーブル4から転送再開指令を受けるまで停止する（時刻13）。

【0022】テーブルアクセス制御部5は、転送再開指令を受けると（時刻14）、内部レジスタ6から前回の分割点フラグを読み出し、その分割点フラグに対応するテーブルアドレスからテーブルアドレスのカウントアップを開始する。そして、前述した通り、分割点までDMA転送を実行する。

【0023】以下、前述同様に、本実施例装置は、転送再開指令の送出から分割点までの転送動作を繰り返しながらDMA転送を実行する。なお、DMA転送が完了すると、テーブルアクセス制御部5は、テーブルアドレスのカウントを初期状態に戻して停止する。

【0024】上述したように本実施例によれば、DMA転送の転送動作情報が設定される動作定義テーブル1、分割転送周期が設定される転送周期レジスタ3、分割転送周期の範囲で対象データを連続転送するための分割点フラグが対象データ毎に設定される分割点テーブル2を設け、スケジュールテーブル4が分割転送周期毎に転送再開指令を送出し、内部レジスタ6には、DMA要求を受けたとき又は転送再開指令を受けたとき、動作定義テーブル1に設定された設定内容及び分割点テーブル2に設定された分割点フラグに基づいて、各対象データのうちのいずれかの対象データの転送動作情報が記憶され、動作定義テーブル制御部7が内部レジスタ6に記憶された転送動作情報をDMA転送制御部8に設定し、DMA転送制御部8が転送動作情報が設定されると、当該転送動作情報に従って1/Oバス9を制御し、テーブルアクセス制御部5が、DMA転送制御部8による1/Oバス9の制御中、動作定義テーブル1に設定された設定内容及び分割点テーブル2に設定された分割点フラグに基づいて、当該分割点フラグが他の対象データの転送可を示すとき、当該他の対象データの転送動作情報を内部レジスタ6に更新して格込むので、一度の設定により、DMA転送動作の実現及び転送条件に対応して分割転送周期の範囲での各対象データの連続転送を実現でき、転送効

6

率を向上させることができる。

【0025】すなわち、本実施例によれば、1チャンネルに対するDMA転送において、従来とは異なり、転送条件によって数回に分けて設定していた転送動作を一度に設定することができる。また、分割点フラグを用い、各転送先毎にデータ長、読み出し/書き込み指令を混在させて設定できるようにしたので、異なるデータ長をもつ転送データであっても、一度のDMA転送で転送することができる。

10 【0026】さらに、DMA転送中に、次のDMA転送動作を定義する転送動作情報及び分割点フラグを動作定義テーブル1及び分割点テーブル2から読み出して内部レジスタ6に記憶させているので、DMA転送期間中の動作設定時間をほとんど無視でき、もって、DMA転送の高速化を図ることができる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0027】

20 【発明の効果】以上説明したように本発明によれば、DMA転送される複数の対象データのうちの対象データ毎に転送元アドレス、転送先アドレス及び読み出し動作あるいは書き込み動作の別が転送動作情報として設定される動作定義テーブル及びDMA転送を分割して実行するための分割転送周期が設定され、且つこの分割転送周期の範囲で対象データを連続転送するための転送可否データが対象データ毎に設定されるスケジュール管理手段を設け、スケジュール管理手段が分割転送周期毎に転送再開指令を送出し、動作記憶手段には、CPUからDMA要求を受けたとき又はスケジュール管理手段から転送再開指令を受けたとき、動作定義テーブルに設定された設定内容及びスケジュール管理手段に設定された転送可否データに基づいて、各対象データのうちのいずれかの対象データの転送動作情報が記憶され、転送動作設定手段が動作記憶手段に記憶された転送動作情報を設定し、DMA転送制御手段が、この転送動作設定手段により転送動作情報が設定されると、当該転送動作情報に従ってバスを制御し、動作更新手段が、このDMA転送制御手段によるバスの制御中、動作定義テーブルに設定された設定内容及びスケジュール管理手段に設定された転送可否データに基づいて、当該転送可否データが他の対象データの転送可を示すとき、当該他の対象データの転送動作情報を動作記憶手段に更新して記憶させるので、一度の設定により、DMA転送動作の実現及び転送条件に対応して分割転送周期の範囲での各対象データの連続転送を実現でき、転送効率を向上できるDMAコントローラを提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るDMAコントローラの構成を示すブロック図

【図2】同実施例におけるDMAコントローラの構成を示すブロック図

50

(5)

特開平 7-306825

8

【図3】同実施例における転送動作を示す模式図

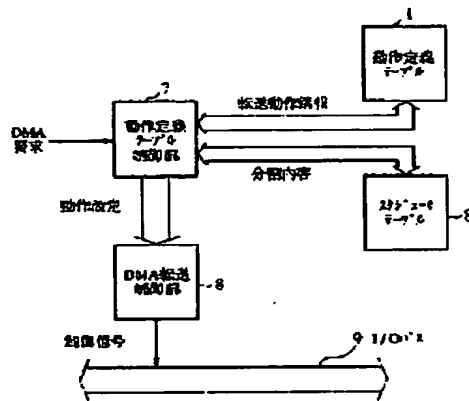
【図4】同実施例における動作定義テーブル及び分割点テーブルを示す構成図

【図5】同実施例におけるDMA転送動作を説明するためのタイムチャート

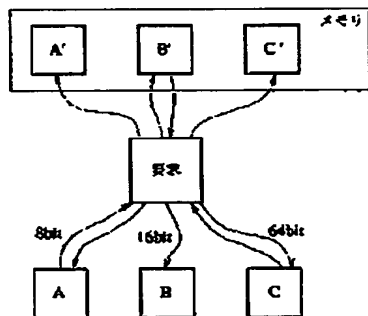
*【符号の説明】

1…動作定義テーブル、2…分割点テーブル、3…転送周期レジスタ、4…スケジュールテーブル、5…テーブルアクセス制御部、6…内部レジスタ、7…動作定義テーブル、8…DMA転送制御部、9…I/Oバス。

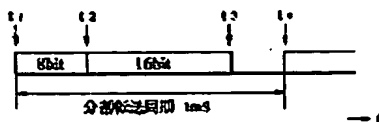
【図1】



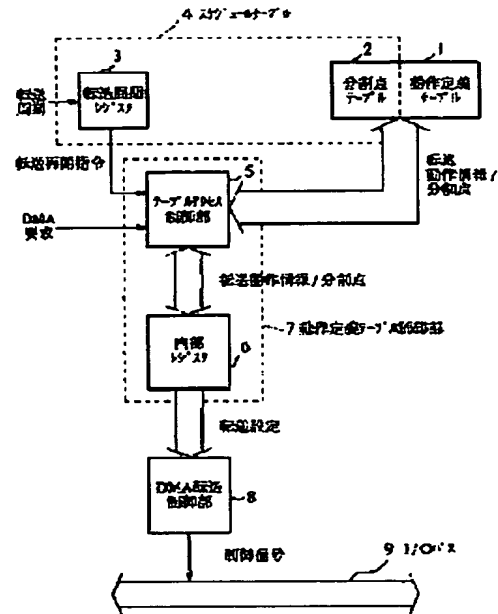
【図3】



【図5】



【図2】



【図4】

転送元	転送先	転送先	分割点
A → A'	8bit	0	分割転送 用路を 設定しない
B' → B	16bit	1	
⋮		⋮	
C → C'	64bit	1	

(a)

(b)